

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
004439134

WPI Acc No: 1985-266012/198543

Solid displaying appts. with amorphous silicon - has transparent
insulating substrate with first semiconductor layer on first electrode

NoAbstract Dwg 3/4

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60177380	A	19850911	JP 8433248	A	19840223	198543 B

Priority Applications (No Type Date): JP 8433248 A 19840223

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 60177380	A		6		

Title Terms: SOLID; DISPLAY; APPARATUS; AMORPHOUS; SILICON; TRANSPARENT;
INSULATE; SUBSTRATE; FIRST; SEMICONDUCTOR; LAYER; FIRST; ELECTRODE;
NOABSTRACT

Derwent Class: L03; P85; U12; U14

International Patent Class (Additional): G09F-009/30; H01L-027/12;
H01L-029/60

File Segment: CPI; EPI; EngPI

Concise of Statement: JP60-177380

A solid display device comprises: a multi-layer element in which a first semiconductor element on a first electrode having a transparent conductive film on a transparent insulating substrate, a first semiconductor element, a first insulating element, a second semiconductor element, a second conductive film and an interlayer insulating element are layered so as to be substantially same shape; drain and source formed of the first and second semiconductor elements; a channel forming region formed of a third semiconductor element in contact with the side of the multi-layer element; first and second insulated gate semiconductor devices formed by providing a gate insulating layer on the semiconductor element and providing two gate electrodes on the side of the multi-layer element; one-side electrode of a pixel formed of an extended electrode from the first electrode; the two gate electrodes connected to a lead in X-direction which is provided in parallel to the multi-layer element; and the second conductive layer provided as a lead in Y-direction.

⑫ 公開特許公報(A)

昭60-177380

⑮ Int. Cl.

識別記号

庁内整理番号

⑯ 公開 昭和60年(1985)9月11日

G 09 F 9/30
 // H 01 L 27/12
 29/60
 29/62
 29/78

6615-5C
 8122-5F

8422-5F 審査請求 未請求 発明の数 1 (全7頁)

⑰ 発明の名称 固体表示装置

⑱ 特 願 昭59-33248

⑲ 出 願 昭59(1984)2月23日

⑳ 発 明 者 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号 株式会社半導体エ
 ネルギー研究所内

㉑ 出 願 人 株式会社半導体エネ ル 東京都世田谷区北烏山7丁目21番21号
 ギー研究所

明 細 書

1. 発明の名称

固体表示装置

2. 特許請求の範囲

1. 透光性絶縁基板上的透光性導電膜を有する第1の電極上の第1の半導体、第1の絶縁体、第2の半導体、第2の導電膜および層間絶縁物を概略同一形状に積層した積層体を有し、前記第1および第2の半導体をしてドレインおよびソースを構成せしめ、前記積層体の側部に隣接した第3の半導体によりチャネル形成領域を構成して設け、前記半導体上にゲイト絶縁膜と2つのゲイト電極とを前記積層体の側面に配設して第1および第2の絶縁ゲイト型半導体装置を設け、前記第1の電極より延在した電極は陰素の一方の電極を構成せしめ、前記2つのゲイト電極は前記積層体に直交して設けられたX方向のリードと連結して構成せしめ、前記第2の導電膜がY方向のリードとして設けられたことを特徴とする固体

表示装置。

2. 特許請求の範囲第1項において、X方向に設けられたリードは積層体のそれぞれの側部に設けられた第1および第2のの絶縁ゲイト型電界効果半導体装置のY方向に配設されたゲイト電極に連結して設けられたことを特徴とする固体表示装置。

3. 特許請求の範囲第1項において、X方向に設けられたリードはシート抵抗 $0.1 \Omega/\square$ 以下を有し、かつゲイト電極は昇華性金属を主成分として設けたことを特徴とする固体表示装置。

3. 発明の詳細な説明

本発明は基板上的非単結晶半導体を用いた縦チャネル型の積層型の絶縁ゲイト型半導体装置(以下IGFという)をマトリックス構成をして設けた固体表示装置に関する。

本発明は、透光性絶縁性基板上的第1の導電性電極、第1の半導体、第1の絶縁体、第2の半導体、第2の導電性電極および第2の絶縁体よりな

る6層に積層された積層体の2つの側部における第1の絶縁体上に形成する第3の半導体によりチャネル形成領域を構成せしめた一対をなす2つのIGFを用いて固体表示装置を設けることに関する。

本発明はこの積層体を用い、第1の導電性電極より延在させて陰素の一方の電極として設けている。そして第2の導電膜をY方向に配設して、一対のゲイト電極に連結したリードをX方向に配設し、マトリックス構成をさせることを目的としている。

本発明はかかるマトリックス構造の複合半導体装置を基板上に設け、固体表示装置である液晶表示型、エレクトロ・クロミック表示型等のディスプレイ装置とすることを目的としている。

平面型の固体表示装置を設ける場合、平行な透光性基板例えばガラス、プラスチック板上に一対の電極を設けてこの電極間に液晶を注入した液晶の固体表示装置が知られている。

このためこの表示部を複数の陰素とし、それをマトリックス構成させ、任意の陰素をその周辺部

に設けられたデコーダ、ドライバの論理回路により制御してオンまたはオフ状態にするには、その陰素に対応したIGF およびインバータ、抵抗等を同一プロセス、同一構造で作ることを必要としていた。そしてこのIGF に制御信号を与えて、それに対応した陰素をオンまたはオフさせたものである。

この液晶表示またはエレクトロ・クロミック表示素子はその等価回路としてキャパシタ（以下Cという）にて示すことができる。このためIGF とCとを例えば2×2のマトリックス構成せしめたものを第1図に示す。

第1図において、マトリックスの各番地は一対を構成する2個のIGF (10),(10')と、表示部としてのC (70) により1個の陰素を構成させている。

これらを列(Y方向)(51),(52)としてビット線に連結し、他方、ゲイトを連結して行(X方向)(53),(54)(ワード線)を設けたものである。

すると、例えば(51),(54)を「1」とし、(52),(54)を「0」とすると、IGF (10),(10')はとも

にオンとなり、他の番地のIGF はオフとなる。そして任意のビット線とワード線を1つずつ選択してオンすることにより、電気的等価素子C (70) で示される表示部を選択的にオン状態にすることができる。

本発明はこのマトリックス構成された2つのIGFを対構成(例えば(10),(10'))に1つの積層体の両側面を用いて実施し、本発明は2つのIGFを用いている。従来より公知の横チャネル型IGFよりも表示部以外のIGF配線に必要な面積を少なくさせたことに加えて、固体表示装置におけるアクティブ陰素が例えば640×525である時、そのすべての陰素のIGFを正常に動作させることはその製品歩留りを考慮するとまったく不可能である。このため本発明が一対のIGFのうち一方のIGFのゲイト破損が生じている場合、この破損しているIGFをX方向のリードからレーザトリミング(以下LTという)して分離し除去してしまう、いわゆる冗長用素子を各陰素のすべてに設けたものである。加えてこのIGFのゲイト電極はLT用に昇華性金属

を用い、特にクロムを主成分としている金属を用い、この電極をLTしてもX方向のリードが何等の支障のないようになさしめたものであることを特長としている。

また第2の導電膜がIGFの電極であり、かつそのままビット線用リード配線とすることと、積層体の第2の導電膜、絶縁体が同一スタック内で同時に形成可能な結果、フォトリソグラフィの回数が4回のみ(ワード線のリードとゲイト電極とを同一材料とするならば3回)でマトリックス構成をさせることができた。

かくすることによって、本発明をその設計仕様に基づいて組み合わせることにより、ブラウン管に代わる平面テレビ用の固体表示装置を作ることができた。

第2図は本発明の固体表示装置の斜視図の部分断面図を示す。図面において、ガラスまたはプラスチックの透光性絶縁基板(1)、陰素の下側電極(36)、積層体(60)(この一部にY方向のリードが第2の導電膜(16)により設けられている)、X方

向の2つのリード(29)、それぞれより延在した一対を構成する2つのIGFのゲイト電極(19)、(19')、配向処理被膜(30)、(32)、液晶(70)、表示素子の上側電極(33)、ガラスまたはプラスチックの上側接地電極(34)、偏向板(35)よりなっている。かかる固体表示装置における絶縁基板(1)上の積層型IGFの部分拡大し、以下に本発明の固体表示装置を示す。

第3図は本発明を実施するための積層型IGFの縦断面図およびその製造工程を示したものである。

この図面は表示給養駆動用に2つのIGFを用いこれらを1つの積層体にそって作製する製造例を示すが、同一基板に複数ヶ作る場合もまったく同様である。

図面において、絶縁基板(1)例えば石英ガラスまたはホウ珪酸ガラス基板又は有機フィルム上に第1の導電膜(2)(以下E1という)を下側電極、給養の一方の電極として設けた。この実施例では弗素が添加された酸化スズを主成分とする透光性導電膜を0.3 μ の厚さに形成している。これに導

扱エッチを第1のマスク①を用いて施した。さらにこの上面に、PまたはN型の導電型を有する第1の非単結晶半導体(3)(以下単にS1という)を100~3000 \AA 、第1の絶縁体(4)(以下単にS2という)(0.3~3 μ)、第1の半導体と同一導電型を有する第3の半導体(5)(以下単にS3という)(0.1~0.5 μ)を積層(スタック即ちSという)して設けた。この積層によりNIN、PIP構造(1は絶縁体)を有せしめた。

この上面に、ITO(酸化インジウム・スズ)、 MoSi_3 、 TiSi_2 、 WSi_2 、 W 、 Ti 、 Mo 、 Cr を主成分とする耐熱性金属の第2の導電膜(6)(以下S5ともいう)、ここでは半導体に密着してクロムを主成分とする金属(500~3000 \AA)を用い、さらにその上面にアルミニウムを0.5~2 μ 例えば1 μ として積層して用いた。さらにその上層に層間絶縁物として有効な第2の絶縁体(7)(以下単にS5)を0.5~5 μ 例えば1 μm の厚さに積層した。この絶縁体はLP CVD法、PCVD法または光CVD等により作られた酸化珪素膜、窒化珪素膜またはPIQ等の有機

樹脂とした。

次にこの積層体(60)の不要部分を第2のフォトマスク②を用いて除去した。

この第1、第3の半導体のN、P層を N^+N^- または P^+P^- として N^+NIN^- 、 P^+PIPP^- (1は絶縁体)としてPまたはNと第1、第2の電極との接触抵抗を下げることは有効であった。

かくのごとくにして、第1の導体(12)、第1の半導体(13)、第1の絶縁体(14)、第3の半導体(15)、第2の導体(16)および第2の絶縁体(17)よりなる積層体(60)をマスク②を用いて形成して得た。

ここではプラズマ気相エッチ例えばHF気体または CF_4 ・ O_2 の混合気体を用い、0.1~0.5torr、30Wとしてエッチ速度500 \AA /分とした。

この後、これら積層体S1(13)、S2(14)、S3(15)、導体(16)、絶縁体(17)を覆ってチャネル形成領域を構成する真性または P^- または N^- 型の非単結晶半導体を第3の半導体(24)として積層させた。この第3の半導体(24)は、基板上にシランのグ

ロー放電法(PCVD法)、光CVD法、LT CVD法(HOMO CVD法ともいう)を利用して室温~500 $^\circ\text{C}$ の温度例えばPCVD法における200 $^\circ\text{C}$ 、0.1torr、30W、13.56MHzの条件下にて設けたもので、水素または弗素が添加された非晶質(アモルファス)または半非晶質(セミアモルファス)または多結晶構造の非単結晶珪素半導体を用いている。本発明においてはアモルファスまたはセミアモルファス半導体を中心として示す。

さらに、その上面に同一反応炉にて、第3の半導体表面を大気に触れさせることなく窒化珪素膜(25)を光CVD法にてシラン(ジシランでも可)とアンモニアとで水銀励起法の気相反応により作製し、厚さは300~2000 \AA とした。

この絶縁膜は13.56MHz~2.45GHzの周波数の電磁エネルギーにより活性化した窒素またはアンモニア雰囲気100~400 $^\circ\text{C}$ 浸して固相-気相反応の窒化珪素を形成してもよい。

また、PCVD法により窒化珪素を形成させてもよい。

かくして第3図(B)に示すごとくS2(14)の側周辺では、チャネル形成領域(9)(9')とその上のゲイト絶縁物(25)としての絶縁物を形成させた。第3の半導体(24)はS1、S3とはダイオード接合を構成させている。

第3図(B)において、この後この積層体上を覆って第3の導電膜(18)を0.3~1 μ の厚さに形成した。

この導電膜(18)はITO(酸化インジウム・スズ)、酸化スズ、酸化インジウムのごとき透光性導電膜、Si、Mo、Crを主成分とする耐熱性を有しかつ昇華性の導電膜とした。

ここではITO(1000Å)とその上にクロムを主成分とする金属との2層膜により成就した。N型のリン不純物の多量にドーブされた珪素半導体をPCVD法で0.1~0.5 μ 例えば0.3 μ の厚さに形成してもよい。例えば0.4 μ の厚さにリンが1%添加され、かつ微結晶性(粒径50~300Å)の非単結晶半導体をPCVD法で作製した。さらにこの上面にアルミニウムを0.5~3 μ 例えば1.5 μ の厚

さに真空蒸着法により積層し、そのシート抵抗を0.1 Ω /□以下とした。

この後、この上面にレジストを形成し、第3のマスク④を用いて第4図に図示されているワード線(X方向)(51)用のアルミニウムのエッチングをした。さらに第4のマスク④を用いてゲイト電極(19)(19')をエッチング法により形成した。

かくして第3図(C)を得た。もちろんリード線(51)とゲイト電極とを併用するならばこの④のマスクは③の時同様に処理される。

第3図(C)より明らかなごとく、積層体(60)の両側面を用いて2つのIGF(10)(10')はチャネルを(9)(9')と2つを有し、ソースまたはドレイン(13)、ドレインまたはソース(15)を有し、ゲイト(19)(19')を有するペアを構成をしている。

即ち、図面では2つのIGFを対(ペア)として設けることができた。

かくしてソースまたはドレインをS1(13)、チャネル形成領域(9)(9')を有するS4(24)、ドレインまたはソースをS3(15)により形成せしめ、チ

ャネル形成領域側面にはゲイト絶縁物(25)、その外側面にゲイト電極(19)(19')を設けた対を構成する積層型のIGF(10)(10')を作ることができた。

さらに本発明のIGFにおいて、電子移動度がホールに比べて5~30倍もあるため、Nチャネル型とするのが好ましい。さらにこの基板上の他部にPチャネルIGFをペアを有して構成せしめて相補型トランジスタとすれば有効である。

この発明において、チャネル長はS2(14)の厚さで決められ、一般には0.1~3 μ ここでは1.0 μ とした。かくのごとき短チャネルのため非単結晶半導体(25)の移動度が単結晶の1/5~1/100しかないにもかかわらず、10MHz以上のカットオフ周波数特性を双対のトランジスタに有せしめた。

かくして、ドレイン(15)または(13)、ソース(13)または(15)、ゲイト(19)または(19')として $V_{DD}=5V$ 、 $V_{GS}=5V$ 、動作周波数17.5MHzを得ることができた。

第4図は第3図に示したIGFを用いて、第1図

に示した本発明の固体表示装置の部分の平面図を示したものである。

第4図(A)は第1図の(1.1)(1.2)(2.1)(2.2)の番地に対応して特に(1.2)の番地のIGFの平面図である。さらに第4図(B)は第4図(A)のB-B'の縦断面図である。また第4図(A)のA-A'の縦断面図には第3図(C)が対応している。このIGFの下側の電極(12)より運在した電極(第4図では下側に設けられている)(36)は、陰素で構成する液晶(キャパシタ)(70)に連結せしめている。他方は液晶(70)の接地電極(32)として設けられる。

第4図において、積層体(60)に対し、これにそって設けられたゲイト電極(19)(19')は積層体(60)と直交して設けられているX方向のリード(53)に連結している。積層体(60)の内部に設けられている第2の導電膜(51)は、Y方向のリード配線とし構成させた。かくしてX方向、Y方向にマトリックス構成を有し、1Tr/陰素構成を有せしめることができた。

さらに第4図より明らかなごとく、このディスプレイの製造は5回（素子のみでは3回）のフォトリソグラフィにより得ることができた。従来は7回も用いていたが、本発明構成はこの回数を2回少なくすることができた。また本発明のディスプレイのIGFに必要な面積は全体の1%以下である。

表示部は91%、リード部8%であった。本発明は20インチの大型ディスプレイを製造するに際し、現在のマスク製造技術ではマスクの最少線巾は25 μ となってしまう。しかし本発明はかかる25 μ をX,Y方向のリードとして用いながら、このIGFのチャネル長は1 μ またはそれ以下にマスク精度の制限をまったく受けないという大きな特長を有する。そしてチャネル長の短いIGFであるため、基板におけるIGFとして必要な面積を少なくでき、かつフォトリソグラフィの精度が動作周波数の上限を限定しないという他の特長を有する。

さらにこれらの陰素を高周波で動作させるため、IGFの周波数特性がきわめて重要であるが、本発明のIGFは $V_{gs} = 5V$, $V_{ds} = 5V$ においてカットオフ

周波数10MHz以上(17.5MHz)(NチャネルIGF)を有せしめることができた。 $V_{th} = 0.2 \sim 2V$ にすることがS4(25)への添加不純物の濃度制御で可能となった。

かくのごとく一対を構成するIGFの一方のゲイト電極がショートしていた場合、この上方よりレーザを例えばQスイッチがかけられたYAGレーザ光を照射しゲイト電極を昇華気化させてしまうことによりパネル全体の歩留りをこれまでの3%しかない状態より(不良陰素が5ヶ以下を良品とする)から40%の歩留りにまで向上させることができた。加えてレーザ光(ここでは波長1.06 μ のYAGレーザを使用)または直径10~30 μ を有する。しかし、本発明の一対のIGFのゲイト電極間は30 μ 離れているため対をなす他のIGFに何等の支障もなく、一方のショートした側の陰素を除去することができた。

さらに製造に必要なマスクも4回で十分であり、マスク精度を必要としない等の多くの特長をチャネル長が0.2~1 μ ときわめて短くすることがで

きることに加えて有せしめることができた。

またこのIGFのオーバコート用ポリイミド樹脂(26)により、陰素の部分のみに液晶(70)が充填させている。また陰素の周辺部は、2つの電極(36)(33)(第2図参照)間のスペーサ(厚さ1~10 μ)をも兼ね、加えてこのスペーサをして陰素周辺部を黒色化(無反射)してブラックマトリックスとして併用せしめた。このブラックマトリックス化により、この陰素のコントラストを向上させることができた。さらに(31)の領域に表示媒体である例えばGH(ゲスト・ホスト)型等の液晶が充填され、この陰素をIGF(10)(10')のオン、オフにより制御を行なわしめた。

本発明において、液晶(31)用の配向処理がされた2つの電極(30)(32)間を1~10 μ とし、その間隙に例えばGH型の液晶を注入し、加えて対抗基板(1')内に赤、緑、黄のフィルタをうめこむことによりこのディスプレイをカラー表示することが可能である。そして赤緑黄の3つの要素を交互に配列せしめればよい。

また逆方向リークは、第1図に示すようなS1またはS3を Si_xC_{1-x} ($0 < x < 1$ 例えば $x = 0.2$)とすることにより、さらにS2を Si_xN_{1-x} ($0 < x < 4$)または Si_xC_{1-x} ($0 < x < 1$)として絶縁物化することにより、このS1、S3の不純物がS2に流入することが少なくなり、このN-I接合またはP-I接合のリークは逆方向に10Vを加えても10nA/ μm 以下であった。これは単結晶の逆リークよりもさらに2~3桁も少なく、非単結晶半導体特有の物性を積極的に利用したことによる好ましいものであった。さらに高温での動作において、電極の金属が非単結晶のS1、S3内に混入して不良になりやすいため、この電極に密接した側を Si_xC_{1-x} ($0 < x < 1$ 例えば $x = 0.2$)とした。その結果150℃で1000時間動作させたが何等の動作不良が1000素子を評価しても見られなかった。これはこの電極に密接してアモルファス硅素のみでS1またはS3を形成した場合、150℃で10時間も耐えないことを考えると、きわめて高い信頼性の向上となった。

さらにかかる積層型のIGFのため、従来のように高精度のフォトリソグラフィ技術を用いることなく、基板特に絶縁基板上に複数個のIGF、抵抗、キャパシタを作ることが可能になった。そして液晶表示ディスプレイにまで発展させることが可能になった。

本発明において第2の積層体として半導体を用いこの側周辺をチャンネル形成領域として用いることは有効である。しかしかかる構造においては第3の半導体を形成する工程がないという特長を有するが、かかる場合この半導体の表面がエッチング雰囲気さらされるため、界面準位密度が前記した第1の半導体を用いる方法に比べて大きくなり、各IGF間にバラツキが発生してしまうという欠点を有する。

本発明における非単結晶半導体は珪素、ゲルマニウムまたは炭化珪素 ($\text{Si}_x\text{C}_{1-x}$ $0 < x < 1$)、絶縁体は炭化珪素または窒化珪素を用いた。

4. 図面の簡単な説明

第1図は本発明の固体表示装置の絶縁ゲイト型

半導体装置とキャパシタとを陰素としたマトリックス構造の等価回路を示す。

第2図は本発明の固体表示装置の斜視図である。

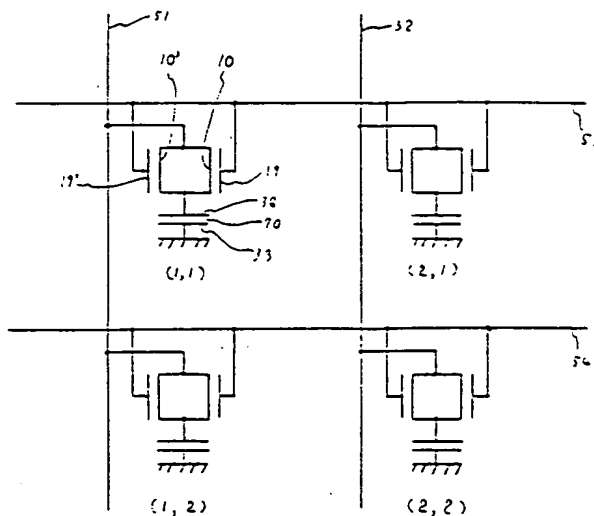
第3図(A)(B)(C)は本発明の積層型絶縁ゲイト型半導体装置の工程を示す縦断面図である。

第4図(A)(B)は本発明の積層型絶縁ゲイト型半導体装置とキャパシタまた表示部とを一体化した平面ディスプレイを示す固体表示装置の縦断面図である。

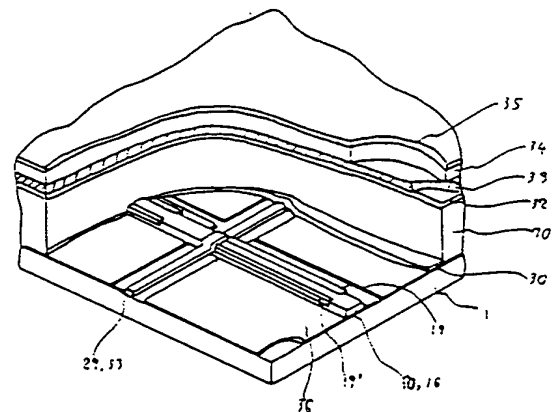
特許出願人

株式会社半導体エネルギー研究所

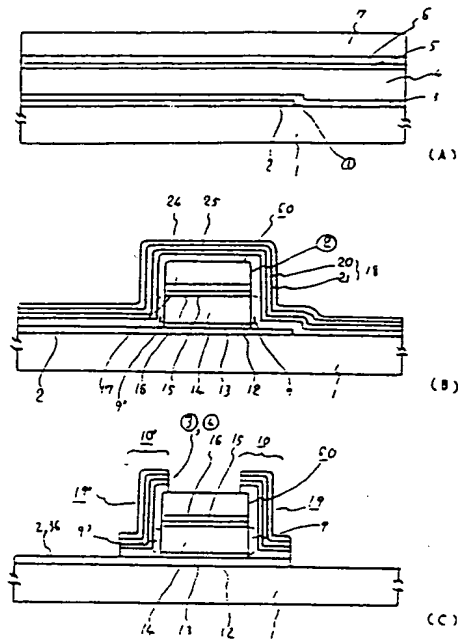
代表者 山 崎 舜 平



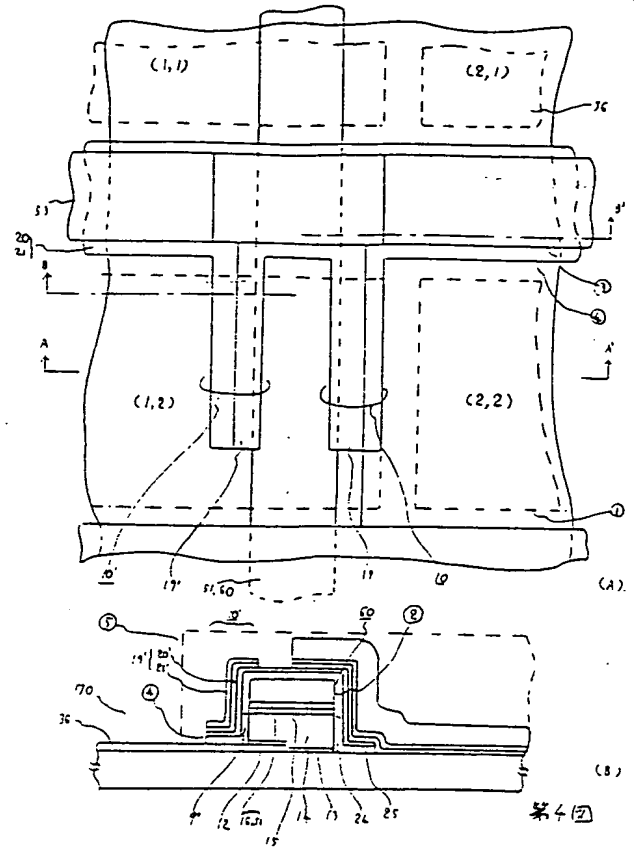
第1図



第2図



第3図



第4図